

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月11日

出願番号
Application Number: 特願2003-108479
[ST. 10/C]: [JP2003-108479]

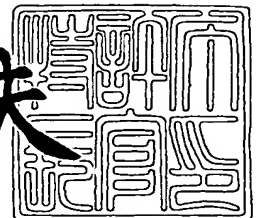
出願人
Applicant(s): 株式会社半導体エネルギー研究所



2004年 2月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3006115

【書類名】 特許願

【整理番号】 P007091

【提出日】 平成15年 4月11日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山口 哲司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 秋元 健吾

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 通地 浩樹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】	図面 1
【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 薄膜トランジスタの作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上の半導体膜及び絶縁膜を含む積層膜に 6 0 0 ～ 8 0 0 ℃の加熱処理を施し、

前記積層膜を島状にパターンニングし、

前記積層膜のうち、少なくとも前記半導体膜の側面を覆う絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 2】

絶縁表面上の半導体膜、絶縁膜及び第 1 の導電膜を含む積層膜に 6 0 0 ～ 8 0 0 ℃の加熱処理を施し、

前記積層膜を島状にパターンニングし、

前記積層膜のうち、少なくとも前記半導体膜の側面を覆う絶縁膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 1 及び前記第 2 の導電膜をパターンニングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

前記積層膜上に絶縁膜を形成後、異方性エッチングにより、前記積層膜のうち、少なくとも前記半導体膜の側面を覆うサイドウォールを形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 4】

請求項 1 又は請求項 2 において、

前記積層膜上に絶縁膜を形成後、パターンニングにより、少なくとも前記半導体膜の側面の一部を覆う絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 5】

請求項 1 又は請求項 2 において、

前記半導体膜の側面を 6 0 0 ℃以下で酸化または窒化することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、歪み点の低い基板上に形成する電界効果型トランジスタに代表される半導体素子及び半導体集積回路を含む薄膜トランジスタの作製方法に関し、特にガラス基板の歪み点を越えた温度でゲート絶縁膜に熱処理を施した薄膜トランジスタの作製方法に関する。

【従来の技術】

近年、ガラスや石英といった透過性のある絶縁性基板上に画素や駆動回路の他、CPU、メモリ等の論理回路を内蔵したシステムオンパネルの開発が注目されている。駆動回路や論理回路には高速動作が要求され、その実現のためにはスイッチング速度の速いTFTを作製することが求められる。スイッチング速度の高速化には結晶欠陥の少ない半導体膜を用いることやゲート絶縁膜の薄膜化、ゲート長の縮小に代表されるトランジスタサイズの縮小が効果的である。

【 0 0 0 2 】

ゲート絶縁膜に要求される特性としては、薄膜中の欠陥が少ない、固定電荷を含まない、半導体膜との界面準位が低い、低リーク電流であること等が挙げられる。しかしながら、物理膜厚の減少に伴いゲートリーク電流は増加してしまう傾向にある。また実効的にゲート絶縁膜の薄膜化を行うためには、ゲートリーク電流を抑制できるような緻密なゲート絶縁膜が要求されている。ゲート絶縁膜を薄膜化した低電圧駆動、高い周波数の応答のよい電界効果半導体装置を得ることができる（例えば、特許文献1参照）。

【 0 0 0 3 】

【特許文献1】 特開平6-188421公報

【 0 0 0 4 】

【発明が解決しようとする課題】

ガラスなどの透明絶縁基板上に珪素膜を形成し、それを用いて集積回路を実現

する場合、単結晶珪素基板を利用した大規模集積回路で培われた製造技術をそのまま転用することは不可能であった。それは多結晶珪素膜の結晶性の問題のみでなく、ガラスの耐熱性の点からプロセス温度の制限がなされてしまうためであった。

【 0 0 0 5 】

緻密で電氣的適正に優れたゲート絶縁膜は C V D 法で形成することが可能であるが、膜形成温度を 7 5 0 ℃ 以上とする必要があった。プラズマ C V D 法は低温で膜形成が可能であるが、膜がプラズマ中の荷電粒子により損傷を受け、欠陥やピンホールが出来やすいということが問題であった。また 5 0 0 ℃ 以下の膜形成温度は、水素が膜中に含まれそれが膜の安定性を低下させていた。これに対し、高周波スパッタリング法は、水素の混入のない薄膜を形成することが可能である。しかし C V D 膜と比較して一般的にゲート絶縁膜として利用するほどの緻密な膜は得られなかった。

【 0 0 0 6 】

しかしながら、論理演算回路用の素子として必須であるスイッチング速度の速い T F T を作製するため、又高集積化を図るためには素子寸法の微細化は益々必要とされている。そのためには高品質なゲート絶縁膜を形成することは必要不可欠であるが、歪み点を超えるような温度を与えた前後で基板の膨張、収縮を生じってしまうガラス基板では、パターニングのアライメントマージンのため、ガラス基板の歪み点以上の温度を加えたゲート絶縁膜に加熱処理を施すことは困難である。

【 0 0 0 7 】

一般的に、ガラス基板上で用いられる T F T 作製工程について、図 7 を用いて説明する。図 7 (E) ~ (H) は上面図であり、図 7 (A) ~ (D) はそれぞれ上面図における破線 A - B 、破線 B - C に沿った断面図である。なおここでは素子分離からゲート構造作製までの工程を述べる。

【 0 0 0 8 】

まず、絶縁性基板 1 0 に下地膜 1 1 と半導体膜 1 2 を形成する (図 7 (A) (E)) 。次に、半導体膜を島状に加工することによりトランジスタ作製領域 1 3

、14に素子分離する（図7（B）（F））。続いて、ゲート絶縁膜15および導電性膜16を成膜する（図7（C）（G））。最後に、導電性膜16をゲート電極構造に加工する（図7（D）（H））。

【0009】

上記のように、半導体膜を島状に素子分離した後に、ゲート電極の位置を島状の半導体膜に合わせるパターニングを行って、トランジスタを形成する。この方法では、半導体膜を島状形状に加工した後のプロセス温度の上限は、パターニング時のアライメント不良を生じないための基板のシュリンク量のマージンから決定される。

【0010】

本発明は、ガラスの膨張、収縮がパターニングのアライメントずれの問題を引き起こさずに、界面準位低減、固定電荷低減といったゲート絶縁膜の特性向上を目的とした加熱処理を可能とする薄膜トランジスタの作製方法を提供することを課題とする。

【0011】

【課題を解決するための手段】

本発明の薄膜トランジスタの作製方法は、素子分離していない半導体膜の上に少なくともゲート絶縁膜を成膜した状態で加熱処理を行い、ゲート絶縁膜と半導体膜を同時に素子構造に分離し、露出した半導体膜の側面を覆う絶縁膜を形成し、ゲート電極との短絡を防ぐことを特徴としている。また加熱処理後にゲート絶縁膜と半導体膜を同時に素子形状に加工するため、加熱時のガラス基板の膨張、収縮がパターニングのアライメントずれに影響を及ぼさないことを特徴としている。

【0012】

本発明において、使用できる絶縁性表面とは、その種類は問わず、ゲート絶縁膜に施す加熱処理温度600～800℃よりも低い歪み点を有するガラス基板を用いるときに効果的である。

【0013】

また本発明では素子分離されていない半導体膜とゲート絶縁膜の積層膜に同時

に加熱処理を施すが、加熱処理ではファーンズまたはRTA (Rapid Thermal Anneal) を用いても構わない。RTA処理では、ガス加熱、ランプ加熱のいずれを用いることもできる。好ましくは前記積層膜上に第1の導電性膜まで形成した状態でランプ加熱処理を施すとよい。赤外領域に放射スペクトルのピークを持つハロゲンランプを用いた場合、第1の導電性膜が放射光を有効に吸収し、効率よくゲート絶縁膜が加熱できるのみならず、ゲート絶縁膜と第1の導電性膜との界面も加熱処理することができ、ゲート電極とゲート絶縁膜界面に起因したリーク電流の低減といった特性の向上が可能になる。

【0014】

半導体膜とゲート絶縁膜とを含んだ積層膜を同時に素子分離した場合、半導体膜の側面が露出するため、続けてゲート電極を形成するための導電性膜を形成した場合、半導体膜側面がゲート電極と短絡してしまうことになる。そこで半導体膜の側面を覆う絶縁膜が必要になる。この半導体膜の側面を覆う絶縁膜は、基板全面を覆う絶縁膜を形成後に異方性エッチングによりセルフアラインでサイドウォールを作成する、パターニング技術を用いて目的とする部分だけ絶縁膜を形成する、低温で半導体膜側面を絶縁膜化することが可能であるが、集積化を視野に入れた場合、セルフアラインで作成できるサイドウォールまたは低温での絶縁膜化を行うことが好ましい。

【0015】

上記構成を有する本発明により、従来ではガラス基板シュリンクのためにパターニング時のアライメントが問題となる700℃という温度であっても、パターニング時のアライメント不良を問題とせずゲート絶縁膜に加熱処理処理を加えることができる。

【0016】

また、このようなガラスの歪み点を超える700℃といったゲート絶縁膜への加熱処理処理を施すことにより、界面準位が低減、固定電荷が減少、ゲートリーク電流が低減し、電界効果移動度、サブスレシールド係数などが良好となり、連続動作におけるトランジスタ特性の経時変化が低減し、製造歩留まりや特性ばらつきを向上させることができる。

【0017】

【発明の実施の形態】

(実施の形態1)

本実施の形態において適用できることのできる基板には、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノシリケートガラスなどを素材とするガラス基板が適している。代表的にはコーニング社製の1737ガラス基板（歪み点667℃）、旭硝子社製のAN100（歪み点670℃）などが適用可能であるが、勿論他の同様な基板であれば特段の限定はない。

【0018】

上記基板を用いて、図1（A）（E）に示すように、ガラス基板20上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の絶縁膜から成る第1無機絶縁体層21を形成する。代表的な一例は2層構造を有し、 SiH_4 、 NH_3 、および N_2O を反応ガスとしてプラズマCVDにより成膜される第1酸化窒化珪素膜50nm、 SiH_4 および N_2O を反応ガスとしてプラズマCVDにより成膜される第2酸化窒化珪素膜を100nm積層形成する構造である。

【0019】

TFTの活性層とする結晶性半導体膜22は、第1無機絶縁体層21上に形成した非晶質半導体膜を結晶化して得る。最初に形成する非晶質珪素膜の厚さは出来あがりの結晶性珪素膜の厚さが20nm乃至60nmとなる範囲で選択される。この膜厚の上限はTFTのチャネル領域において完全空乏型として動作させるための上限値であり、この膜厚の下限値はプロセス上の制約であり、結晶性珪素膜のエッチング工程において選択加工する場合に必要な最小値として決めている。

【0020】

この結晶性珪素膜22の上にゲート絶縁膜23を形成する。ゲート絶縁膜としてはSiターゲットを利用しAr、 O_2 を用いた反応性スパッタリング法によって成膜した酸化珪素膜、 SiH_4 、 NH_3 、および N_2O を反応ガスとしたCVDによる成膜される酸化窒化珪素膜などを利用することができる。もちろんゲート絶縁膜としては珪素化合物に限らず、比誘電率が酸化珪素よりも大きく実効的にゲート絶縁膜の薄膜化の効果がえられる高誘電率金属酸化物を用いてもよい。な

おゲート絶縁膜の膜厚はスケーリング則およびプロセス上のマージンから設定され、ここではゲート長 $0.35\ \mu\text{m} \sim 2.5\ \mu\text{m}$ の TFT を作製するために実効的にゲート絶縁膜の厚さを $20\ \text{nm} \sim 80\ \text{nm}$ とした。

【0021】

つぎにゲート絶縁膜 23 上に、第 1 の導電性膜 24 を形成する。第 1 の導電性膜 24 は窒化タンタルを $10 \sim 50\ \text{nm}$ の膜厚だけ、Ta ターゲットを利用し Ar、 N_2 ガスを用いた反応性スパッタリングによって形成する。もちろん第 1 の導電性膜はタンタル化合物以外にも、他の導電性膜を用いてもよい。ただしこの導電性膜は $1\ \mu\text{m}$ あたりの光を吸収する材料であり、さらに第 2 の導電性膜とエッチングにおいて選択比をとれる材料であることが望ましい。

【0022】

その後、図 1 (B) (F) に示すように、結晶性珪素膜、ゲート絶縁膜、窒化タンタルの積層膜に加熱処理を施す。加熱処理としては瞬間的に昇温および降温ができる RTA 処理を用いる。RTA 処理では $10\ \text{秒} \sim 120\ \text{秒}$ の間に $600^\circ\text{C} \sim 800^\circ\text{C}$ まで昇温し、 $600^\circ\text{C} \sim 800^\circ\text{C}$ において $30\ \text{秒} \sim 180\ \text{秒}$ 間加熱処理を施す。なお RTA 処理の方式としては、加熱ガスを用いた方式とランプの放射による方式とがある。加熱ガスを用いた場合はガスにより基板自体が加熱されるため加熱処理が可能である。しかしランプを用いた場合では、一般的なハロゲンランプでは $1\ \mu\text{m}$ 程度に放射スペクトルのピークがあり、該当する波長領域の光をガラス基板は十分吸収しないため昇温効率が著しく悪い。ここでは第 1 の導電性膜である窒化タンタルが $1\ \mu\text{m}$ 程度の光を吸収するため、窒化タンタルを吸収層としてゲート絶縁膜への熱伝導が生じ、ゲート絶縁膜の加熱処理が行われる。なおここでは、ガラスの歪み点を越える温度で加熱処理処理が行われ基板のシュリンクが生じるが、珪素膜を素子形状に加工していないため、後の工程でシュリンクによるパターンング不良は生じない。

【0023】

つぎに図 1 (C) (G) に示すように、結晶性珪素、ゲート絶縁膜、および窒化タンタルを一括で島状にエッチングする。エッチング方法としては例えば ICP (Inductively Coupled Plasma: 誘導結合型プラ

ズマ) エッチング法が適用できる。エッチングガスとしては窒化タンタルでは CF_4 と Cl_2 の混合ガスを用いることが可能である。酸化珪素を基本とするゲート絶縁膜のエッチングには CHF_3 ガスを利用でき、珪素膜のエッチングには CF_4 および O_2 の混合ガスを用いることができる。

【0024】

つぎに図 1 (D) (H) のように基板全面を覆う絶縁膜 31 を形成し、露出した結晶性珪素膜 25 および 28 の側面を覆う。この絶縁膜としては等方的に成長する減圧 CVD 法を用いて酸化珪素膜を $500\text{ nm} \sim 1.5\text{ }\mu\text{ m}$ 成膜する。なおこれは絶縁膜であれば可能であり、酸化珪素でなく窒化珪素、酸化窒化珪素も勿論利用できる。

【0025】

その後、基板側に所定のバイアス電圧を加えて酸化珪素膜を異方性エッチングすることで図 2 (A) (F) のように、結晶性珪素膜の側面を覆うサイドウォール 32、33 が形成できる。このサイドウォールの長さはゲート絶縁膜の厚さ $20\text{ nm} \sim 80\text{ nm}$ 以上の長さを得ることでゲート電極と結晶性珪素膜の側面との間での短絡、電流リークを抑制することができる。

【0026】

つぎに図 2 (B) (G) に示す第 2 の導電性膜 34 を形成する。ここでは第 2 の導電性膜としてタングステンを $300\text{ nm} \sim 500\text{ nm}$ 用いた。これはタングステンでなくても導電性膜であれば構わない。ただし第 1 の導電性膜とエッチングでの選択比をとれる材料を用いることが望ましい。

【0027】

さらに図 2 (C) (H) のようにエッチングし、窒化タンタル 37 とタングステン 38、40 をゲート形状にする。ここではタングステンと窒化タンタルに異なる傾斜角をつけた構造を作製している。これは第 1 段階のエッチングで CF_4 と Cl_2 と O_2 の混合ガスを利用し基板に所定の電圧を印加することでタングステンと窒化タンタルに同じ傾斜角を持たせたゲート構造を作製し、第 2 のエッチングでエッチングガスを SF_6 と Cl_2 と O_2 に変更し、所定のバイアス電圧を基板に印加してタングステンのみ異方的にエッチングすることで形成される。

【0028】

つぎに所望の量の不純物ドーピングを行う。図2 (D) (I) の41、44はそれぞれ高濃度のn型、およびp型不純物がドーピングされたソースまたはドレインとなり、42、45はゲート電極である窒化タンタルを介してドーピングが行われるためソース、ドレインよりも低濃度のn型ドーピング領域 (Gate Overlapped Lightly Doped Drain) となり、43、46がチャンネル領域になる。

【0029】

その後、図2 (E) (J) に示すように、水素を含有する酸化窒化珪素膜51を100nmプラズマCVD法により形成し、410℃の熱処理を加えて水素化処理を行う。さらに層間絶縁膜として酸化珪素膜52をCVD法で400～600nm形成する。つぎにバリア膜としてスパッタ法で窒化珪素膜53を100nm形成する。なお層間絶縁膜としてはリンガラス (PSG)、ボロンリンガラス (BSG)、リンボロンガラス (PBSG) などが形成可能である。他にもポーラス膜や、有機樹脂系のアクリル、テフロン (登録商標) といった低誘電率膜を用いることも可能である。さらにコンタクト部をエッチングした後に、配線47、48、49、50を形成する。配線としてはチタン60nm、窒化チタン40nm、アルミニウム300nm、チタン100nmの積層構造を用いる。ただし勿論、配線構造はこれに限らずアルミニウムでなく銅を利用することもできる。バリア膜もチタン窒化物でなくタンタル窒化物、タングステン窒化物などを用いることができる。

【0030】

(実施の形態2)

実施の形態1において図1 (C) (G) のように島状に加工された結晶性半導体膜、ゲート絶縁膜および第1の導電性膜窒素タンタルを含んだ積層膜を500℃でオゾンを用いて酸化することで図3 (A) (C) に示すように、露出した半導体膜側面を酸化珪素膜化し、その後に形成するゲート電極との半導体膜側面の短絡を防止することができる。なお酸化珪素膜の代わりに窒化珪素膜化、酸化窒化珪素膜化などの絶縁膜が利用できる。なお酸化方法としてはオゾンガスの変

りに、酸素を含んだプラズマを形成することでプラズマ酸化することも可能である。また、オゾン水による洗浄を行ってもよく、このとき紫外光を基板表面に照射すると効果的である。窒化珪素膜化方法としては、窒素ガスを含んだプラズマを用いることでプラズマ窒化を利用できる。また島状に結晶性半導体膜、ゲート絶縁膜および第1の導電性膜窒化タンタルを加工し、加工時のレジストマスクを残したままで、酸素または窒素をドーピングすることで、半導体膜側面にだけ選択的に絶縁体膜化することも可能である。

【0031】

(実施の形態3)

実施の形態1において図1 (C) (G) のように島状に加工された結晶性半導体膜、ゲート絶縁膜および第1の導電性膜窒素タンタルを含んだ積層膜形成後に、基板全面に絶縁膜を形成する。絶縁膜としてはCVD法によって酸化珪素膜を50～100nm形成する。もちろん絶縁膜はCVD法による酸化珪素膜に限らず、窒化珪素膜、酸化窒化珪素膜を用いることも可能である。成膜方法もCVD法に限らずスパッタ法を用いることもできる。その後、図3 (B) (D) に示すように絶縁膜のパターニングを行い、少なくともゲート電極の下部に位置する島状の結晶性半導体膜の側面を含んだ形状に絶縁膜を加工することで、結晶性半導体膜とその後に形成されるゲート電極との短絡を防止することができる。

【0032】

【実施例】

(実施例1)

実施の形態1～3により作製される代表的な薄膜トランジスタを用いて表示装置を作成した場合の断面構造について説明する。

【0033】

上述の実施の形態に示した作製工程により、絶縁表面上に駆動回路部及び画素部に配置されるTF Tを形成後(図4 (A))、駆動用TF T 513の配線507と電氣的に接続されるように、透明導電膜からなる第1の電極501を形成する。透明導電膜としては仕事関数の大きい材質を用いて作製することが望ましく、一例としては、酸化インジウムと酸化スズの化合物(ITO)、酸化インジウ

ムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム、窒化チタンなどが挙げられる。本形態では第 1 の電極 5 0 1 として、スパッタリング法で、 $0.1\ \mu\text{m}$ の厚さで I T O 膜を形成した。

【 0 0 3 4 】

本形態では、配線 5 0 7 を形成後、該配線 5 0 7 に電氣的に接続されるように透明導電膜を形成する方法を示したが、他の方法で形成してもよい。例えば、透明導電膜 5 0 1 を形成し、該透明導電膜をパターン加工した後、T F T の配線 5 0 7 を形成してもよい。また、T F T の配線 5 0 7 を形成した後、絶縁膜を形成し、その後配線 5 0 7 に達するように絶縁膜にコンタクトホールを開口する。そして、配線 5 0 7 と電氣的に接続されるように透明導電膜を形成してもよい。

【 0 0 3 5 】

次いで、第 1 の電極 5 0 1 の端面を覆うように絶縁膜 5 0 4 を形成する。絶縁膜 5 0 4 を形成する材料は特に限定されず、無機又は有機の材料で形成することができるが、感光性の有機物を使用して形成すると、開口部の形状が発光層を蒸着する際に段切れなどが起こりにくいものとなるため好ましい。例えば、絶縁膜 5 0 4 の材料としてネガ型の感光性樹脂を用いた場合、絶縁膜 5 0 4 の上端部に第 1 の曲率半径を有する曲面、絶縁膜 5 0 4 の下端部に第 2 の曲率半径を有する曲面を有するように形成される。第 1 及び第 2 の曲率半径は、 $0.2\ \mu\text{m} \sim 3\ \mu\text{m}$ 、また前記開口部の壁面の I T O に対する角度は 35° 以上とすることが好ましい。

【 0 0 3 6 】

その後、P V A（ポリビニルアルコール）系の多孔質体を用いて拭い、ゴミ等の除去を行う。本形態では、P V A の多孔質体を用いた拭浄により、I T O や絶縁膜をエッチングしたときに発生する微粉（ゴミ）の除去を行った。

【 0 0 3 7 】

次いで、第 1 の電極 5 0 1 と接するように発光層 5 0 2 を形成する。発光層 5 0 2 は、蒸着法、塗布法（スピンコート法、インクジェット法など）により形成される。本形態では、蒸着装置を用いて、蒸着源を移動させながら蒸着を行った。蒸着の際、抵抗加熱により、予め有機化合物は気化されており、蒸着時にシャ

ッターが開くことによって基板の方向へ飛散する。つまり、気化された有機化合物は、上方に飛散し、メタルマスクに設けられた開口部を通して基板に蒸着され、発光層が形成された。

【0038】

なお、発光層 502 の蒸着前処理に、全体に PEDOT を塗布し、ベークを行ってもよい。このとき、PEDOT は ITO との濡れ性が良くないため、一旦 PEDOT を塗布後、水洗し、再度 PEDOT を塗布することが好ましい。その後、常圧で加熱を行って水分を飛ばしてから、減圧雰囲気加熱を行う。

【0039】

発光素子を構成する第 1 及び第 2 の電極間に設けられる一つ又は複数の層を総称して発光材料を含む層 502 とよぶが、該層 502 は、低分子系有機化合物材料、高分子系有機化合物材料、或いは、両者を適宜組み合わせ形成することが可能である。また、電子輸送性材料と正孔輸送性材料を適宜混合させた混合層、又はそれぞれの接合界面に混合領域を形成した混合接合を形成しても良い。また、有機系の材料のほかに無機系の発光材料を使用しても良い。さらに、発光材料を含む層 502 の構造も特に限定されず、低分子材料からなる層を積層した構造、高分子材料からなる層と低分子材料からなる層とを積層した構造でもよい。

【0040】

続いて発光材料を含む層 502 上に、第 2 の電極 503 を形成する。第 2 の電極 503 は、仕事関数の小さい金属 (Li、Mg、Cs) を含む薄膜、Li、Mg 等を含む薄膜上に積層した透明導電膜との積層膜で形成する。膜厚は陰極として作用するように適宜設定すればよいが、0.01~1 μ m 程度の厚さに公知の方法 (電子ビーム蒸着法など) で形成する。但し、電子ビーム蒸着法を用いる場合、加速電圧が高すぎると放射線を発生し、TFE にダメージを与えてしまう。しかし、加速電圧が低すぎても成膜速度が下がり、生産性が低下する。そのため、第 2 の電極 503 を陰極として作用しうる膜厚より過剰には成膜しないようにする。第 2 の電極 503 が薄いと、成膜速度が遅くても生産性に大きな影響は現れない。しかしながら、陰極の膜厚が薄いことで高抵抗化してしまう問題も発生するが、陰極上に低抵抗金属である Al などを抵抗加熱蒸着やスパッタリング法

などで形成し、積層構造とすることで解決する。本形態では、第2の電極503として電子ビーム蒸着法でAl-Liを $0.1\mu\text{m}$ の厚さで形成した。

【0041】

次に、絶縁膜504及び第2の電極503上に、保護膜505を成膜する。保護膜505は、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、DLC膜、窒化炭素膜、RFスパッタリング法で形成された窒化珪素膜等を用いるのが望ましい。またその膜厚は、 $10\sim 200\text{nm}$ 程度とするのが望ましい。本形態では、スパッタリング法を用いて、窒化珪素膜を 100nm の厚さで形成した。

【0042】

これまでの工程において形成された、第1の電極501、発光材料を含む層502及び第2の電極503の積層体が発光素子506に相当する。第1の電極501は陽極、第2の電極503は陰極に相当する。本発明では、発光素子506の励起状態には一重項励起と三重項励起があるが、発光はどちらの励起状態を経てもよい。

【0043】

図4(B)には発光素子を用いた表示装置における一画素の上面図を示す。図4(B)には、画素電極501まで形成した状態を示す。図4(B)の上面図において、A-B-Cに対応した断面図が図5(A)に相当する。また図4(C)は、図5(B)に対応した一画素の回路図を示す。図4(B)(C)において、508はソース線、509はゲート線、510は電源線、511は容量素子、501は第1の電極(画素電極)、512はスイッチング用TFET、513は駆動用TFETに相当する。

【0044】

本形態では基板側500(底面)から発光素子506から発せられる光を取り出す、所謂下面出射を行う場合を示した。しかし、基板の表面から光を取り出す、所謂上面出射を行うようにしてもよい。その場合、第1の電極501を陰極、第2の電極503を陽極に相当するように形成し、さらに第2の電極503は透明材料で形成するとよい。また、駆動用TFET513はNチャネル型TFETで形

成することが好ましい。なお、駆動用 T F T 5 1 3 の導電型は適宜変更しても構わないが、容量素子 5 1 1 は該駆動用 T F T 5 1 3 のゲート・ソース間電圧を保持するように配置する。なお本形態では、本発明の薄膜トランジスタと発光素子を用いた発光装置の場合を示したが、液晶表示装置などの他の表示装置に用いてもよい。

【0 0 4 5】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

【0 0 4 6】

(実施例 2)

本発明の実施の形態について、図 6 を用いて説明する。図 5 (A) は、T F T が形成された基板をシーリング材によって封止することによって形成された表示パネルの上面図であり、図 5 (B) は図 5 (A) の B-B' における断面図、図 5 (C) (D) は図 5 (A) の A-A' における断面図である。なお図 5 (C) は T F T 基板の方向に光を発する下面出射を行う表示パネル、図 5 (D) は対向基板の方向に光を発する上面出射を行う表示パネルの断面図である。

【0 0 4 7】

図 5 (A) ~ (D) において、基板 6 0 1 上には、画素部 (表示部) 6 0 2、該画素部 6 0 2 を囲むように設けられた信号線駆動回路 6 0 3、走査線駆動回路 6 0 4 a、6 0 4 b が配置され、これらを囲むようにしてシール材 6 0 6 が設けられている。画素部 6 0 2 の構造については、上述の実施の形態及びその説明を参照すれば良い。シール材 6 0 6 としては、ガラス材、金属材、セラミックス材、プラスチック材が用いられる。このシール材 6 0 6 は、信号線駆動回路 6 0 3、走査線駆動回路 6 0 4 a、6 0 4 b の一部に重畳させて設けても良い。

【0 0 4 8】

図 5 (C) に示した表示パネルでは、シール材 6 0 6 を用いてシーリング材 6 0 7 が設けられ、基板 6 0 1、シール材 6 0 6 及びシーリング材 6 0 7 によって密閉空間 6 0 8 が形成される。シーリング材 6 0 7 には予め凹部の中に吸湿剤 6 0 9 が設けられ、上記密閉空間 6 0 8 の内部において、水分や酸素等を吸着して清浄な雰囲気を保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の

細かいメッシュ状のカバー材 6 1 0 で覆われている。カバー材 6 1 0 は空気や水分は通すが、吸湿剤 6 0 9 は通さない。なお、密閉空間 6 0 8 は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

【 0 0 4 9 】

また図 5 (D) の表示パネルでは、シール材 6 0 6 を用いて透明な対向基板 6 2 1 が設けられ、基板 6 0 1、対向基板 6 2 1 及びシール材 6 0 6 によって密閉空間 6 2 2 が形成される。対向基板 6 2 1 には、カラーフィルタ 6 2 0 と該カラーフィルタを保護する保護膜 6 2 3 が設けられる。画素部 6 0 2 に配置された発光素子から発せられる光は、該カラーフィルタ 6 2 0 を介して外部に放出され、表示パネルでは多色表示を行う。密閉空間 6 2 2 は、不活性な樹脂もしくは液体などで充填される。なお、多色表示を行う際には、発光層が R G B の各々の色を発するように設定するか、白色発光をする発光層を設けた画素を配置しカラーフィルタや色変換層を用いるように設定してもよい。

【 0 0 5 0 】

基板 6 0 1 上には、信号線駆動回路 6 0 3 及び走査線駆動回路 6 0 4 a、6 0 4 b に信号を伝達するための入力端子部 6 1 1 が設けられ、該入力端子部 6 1 1 へは F P C 6 1 2 を介してビデオ信号等のデータ信号が伝達される。入力端子部 6 1 1 の断面は、図 5 (B) に示す通りであり、走査線もしくは信号線と同時に形成された配線からなる入力配線 6 1 3 と F P C 6 1 2 側に設けられた配線 6 1 5 とを、導電体 6 1 6 を分散させた樹脂 6 1 7 を用いて電氣的に接続してある。なお、導電体 6 1 6 としては、球状の高分子化合物に金もしくは銀といったメッキ処理を施したものをを用いれば良い。

【 0 0 5 1 】

本形態では、発光素子を用いた発光パネルに本発明を適用した例を示したが、液晶表示素子を用いた液晶パネルに本発明を適用してもよい。

【 0 0 5 2 】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【 0 0 5 3 】

(実施例 3)

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話等）、記録媒体を備えた画像再生装置などが挙げられる。それらの電子機器の具体例を図 6 に示す。

【0 0 5 4】

図 6（A）は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明は表示部 2 0 0 3 に適用することができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0 0 5 5】

図 6（B）はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明は、表示部 2 1 0 2 に適用することができる。

【0 0 5 6】

図 6（C）はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明は、表示部 2 2 0 3 に適用することができる。

【0 0 5 7】

図 6（D）はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明は、表示部 2 3 0 2 に適用することができる。

【0 0 5 8】

図 6（E）は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4

04、記録媒体読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明は表示部A、B2403、2404に適用することができる。

【0059】

図6(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明は、表示部2502に適用することができる。

【0060】

図6(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明は、表示部2602に適用することができる。

【0061】

図6(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、表示部2703に適用することができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0062】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器には、上記の実施の形態、実施例と自由に組み合わせることができる。

【0063】

【発明の効果】

本発明により、従来ではガラス基板シュリンクのためにパターニング時のアライメントが問題となる700℃という温度であっても、パターニング時のアライメント不良を問題とせずゲート絶縁膜に加熱処理を加えることができる。

【0064】

このようなガラスの歪み点を超える 7 0 0 ℃といったゲート絶縁膜への加熱処理処理を施すことにより、界面準位が低減、固定電荷が減少、ゲートリーク電流が低減し、電界効果移動度、サブスレシヨルド係数などが良好となり、連続動作におけるトランジスタ特性の経時変化が低減し、製造歩留まりや特性ばらつきを向上させることができる。

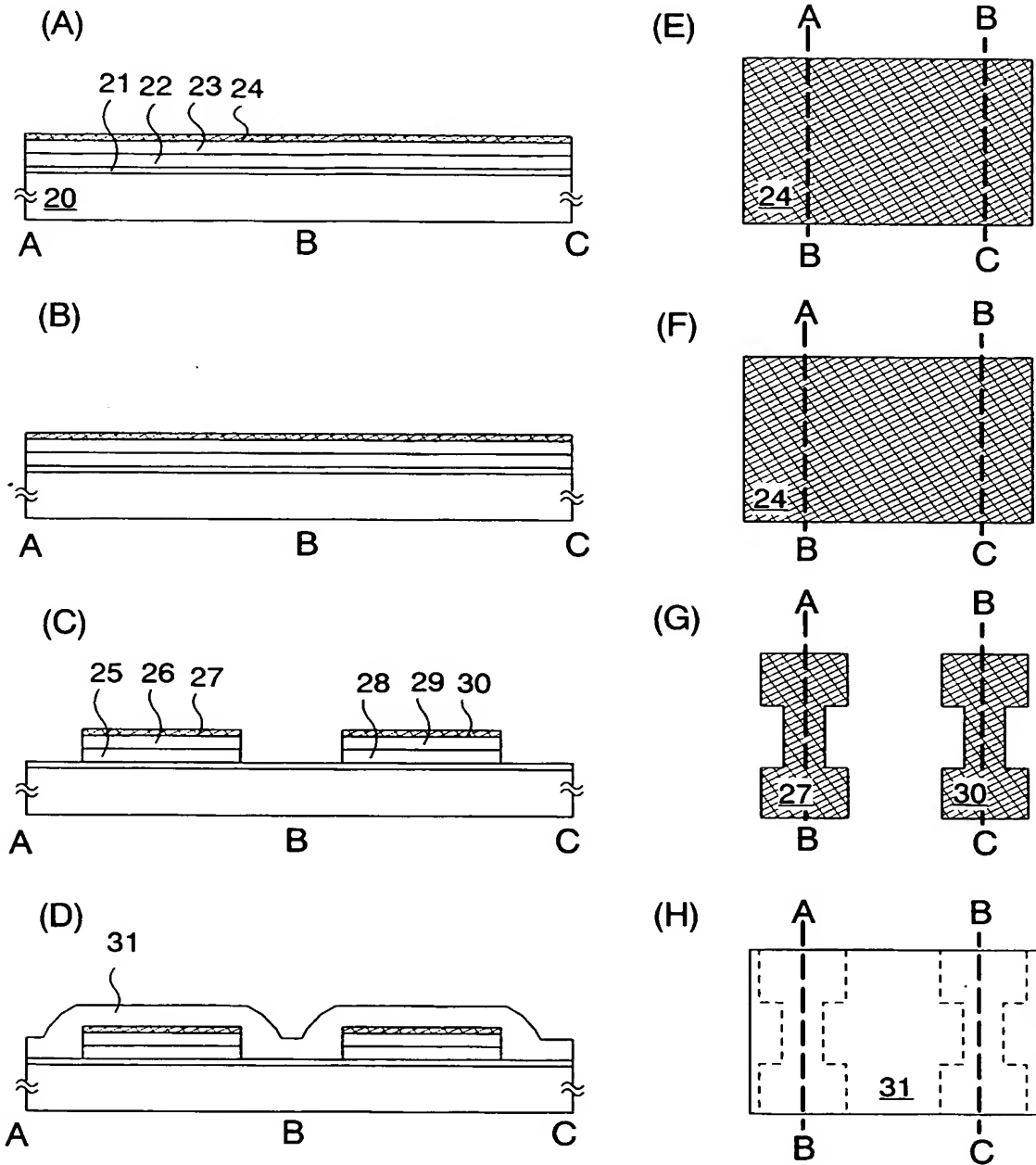
【 0 0 6 5 】

【図面の簡単な説明】

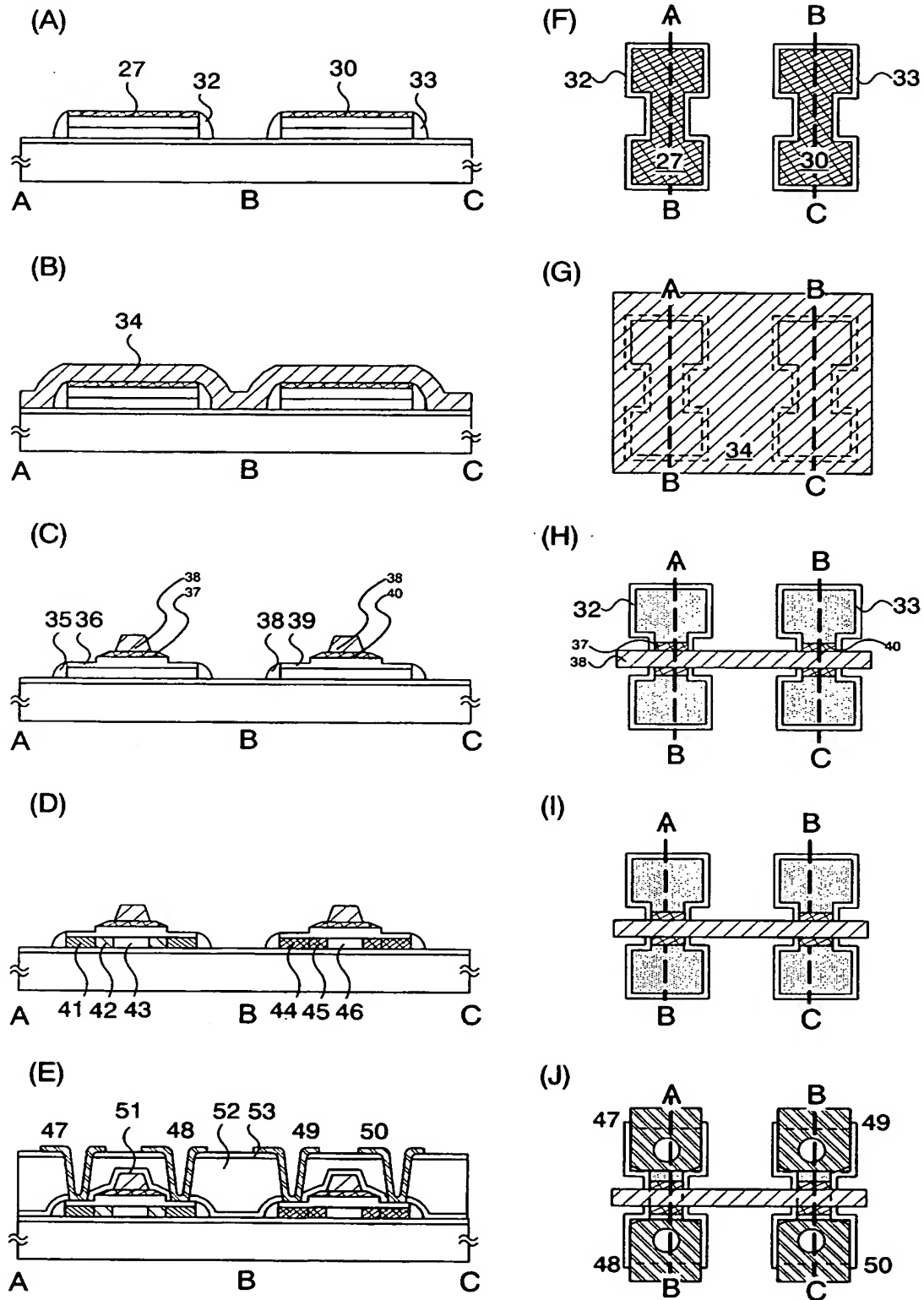
- 【図 1】 本発明の薄膜トランジスタの作製工程を説明する図。
- 【図 2】 本発明の薄膜トランジスタの作製工程を説明する図。
- 【図 3】 本発明の薄膜トランジスタの作製工程を説明する図。
- 【図 4】 本発明による表示パネルの構成を説明する図。
- 【図 5】 本発明による表示パネルの構成を説明する図。
- 【図 6】 本発明による電子機器の構成を説明する図。
- 【図 7】 半導体膜を初めに素子分離する従来の薄膜トランジスタの作製工程を説明する図。

【書類名】 図面

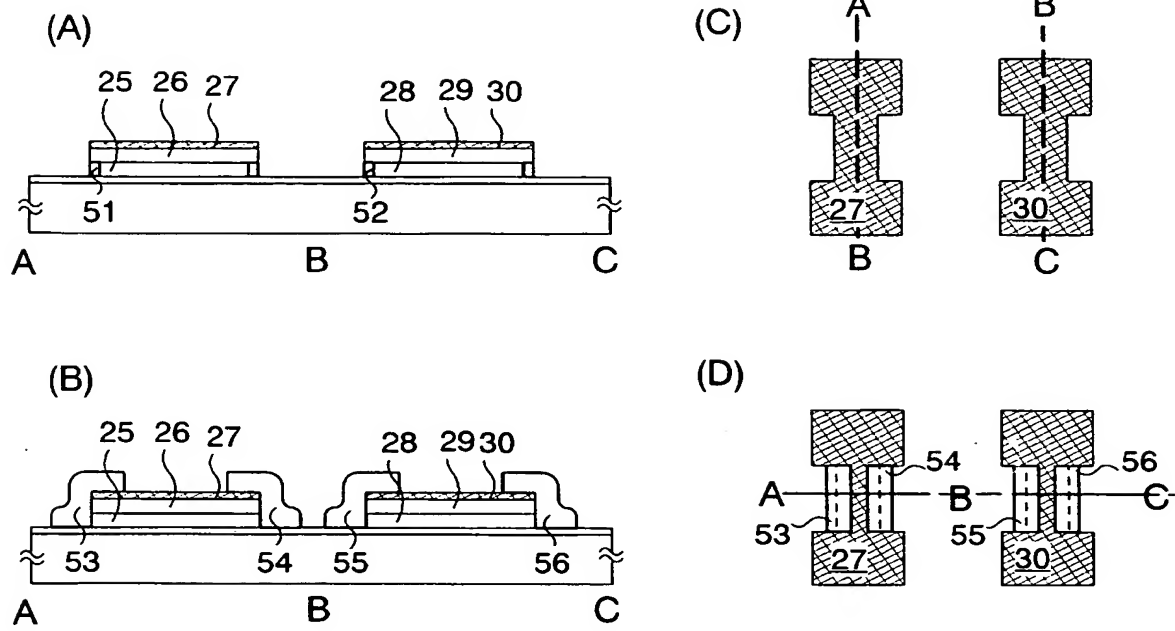
【図 1】



【図 2】

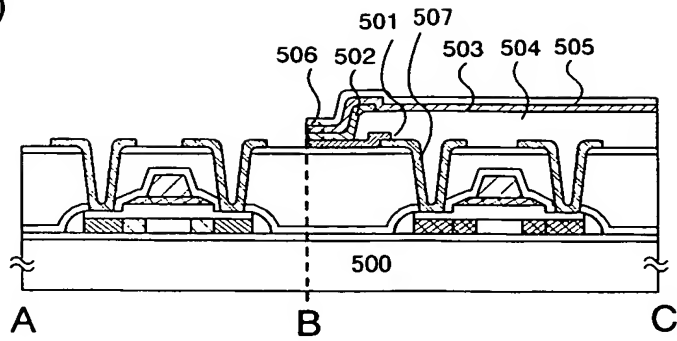


【図 3】

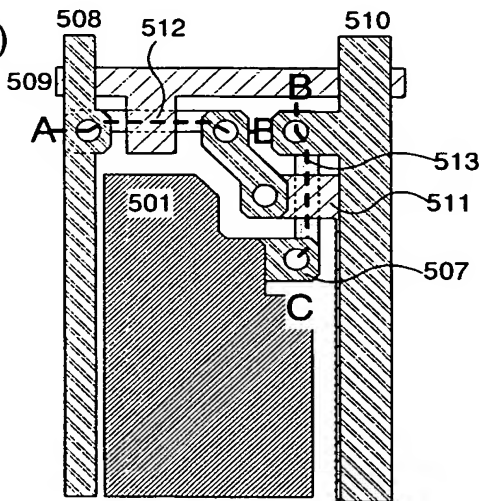


【図 4】

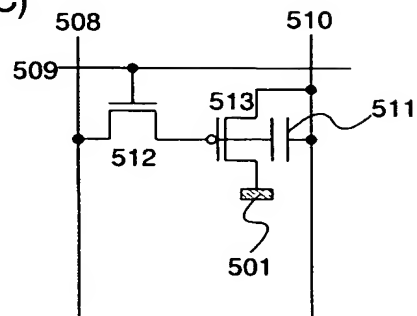
(A)



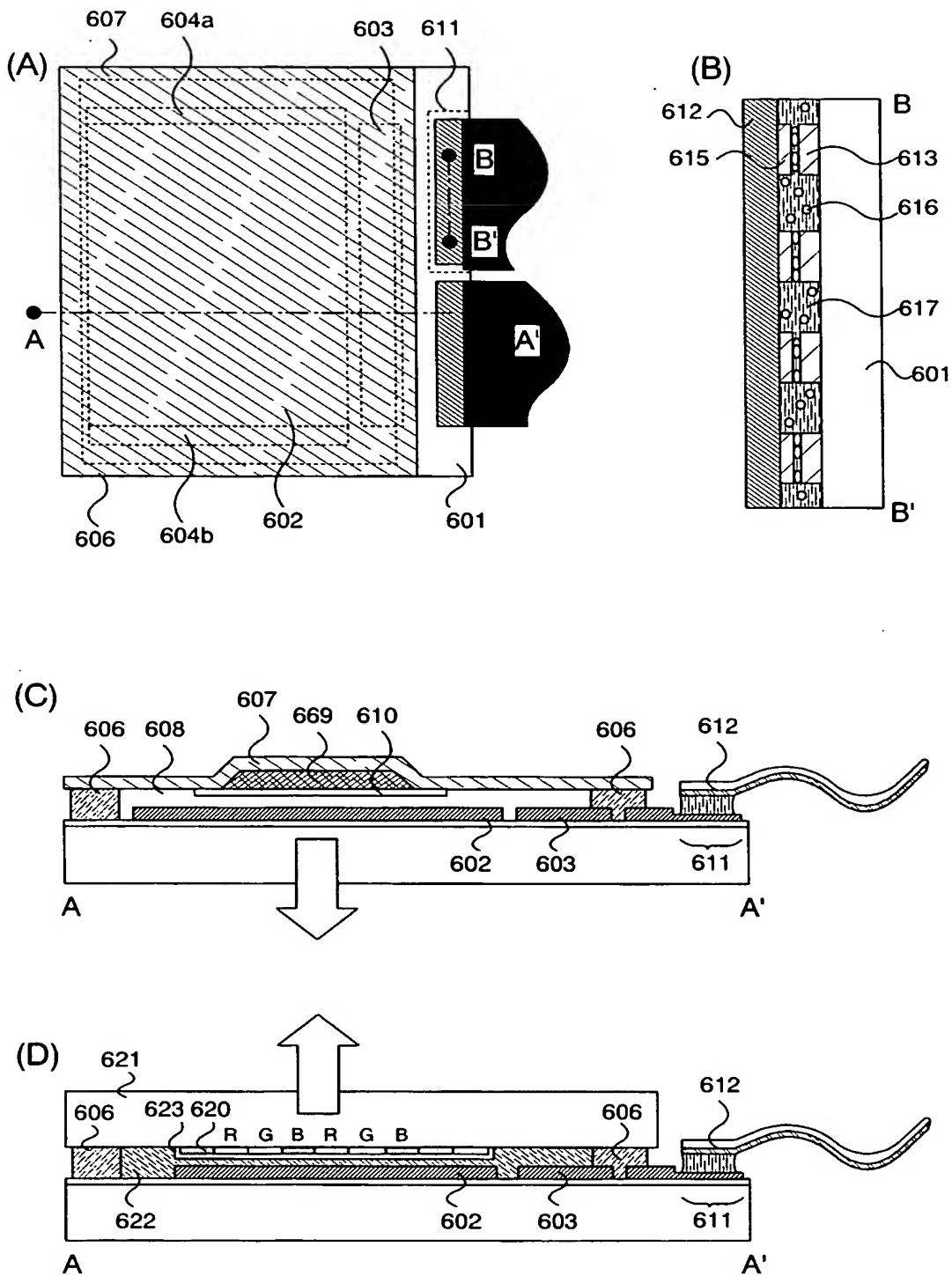
(B)



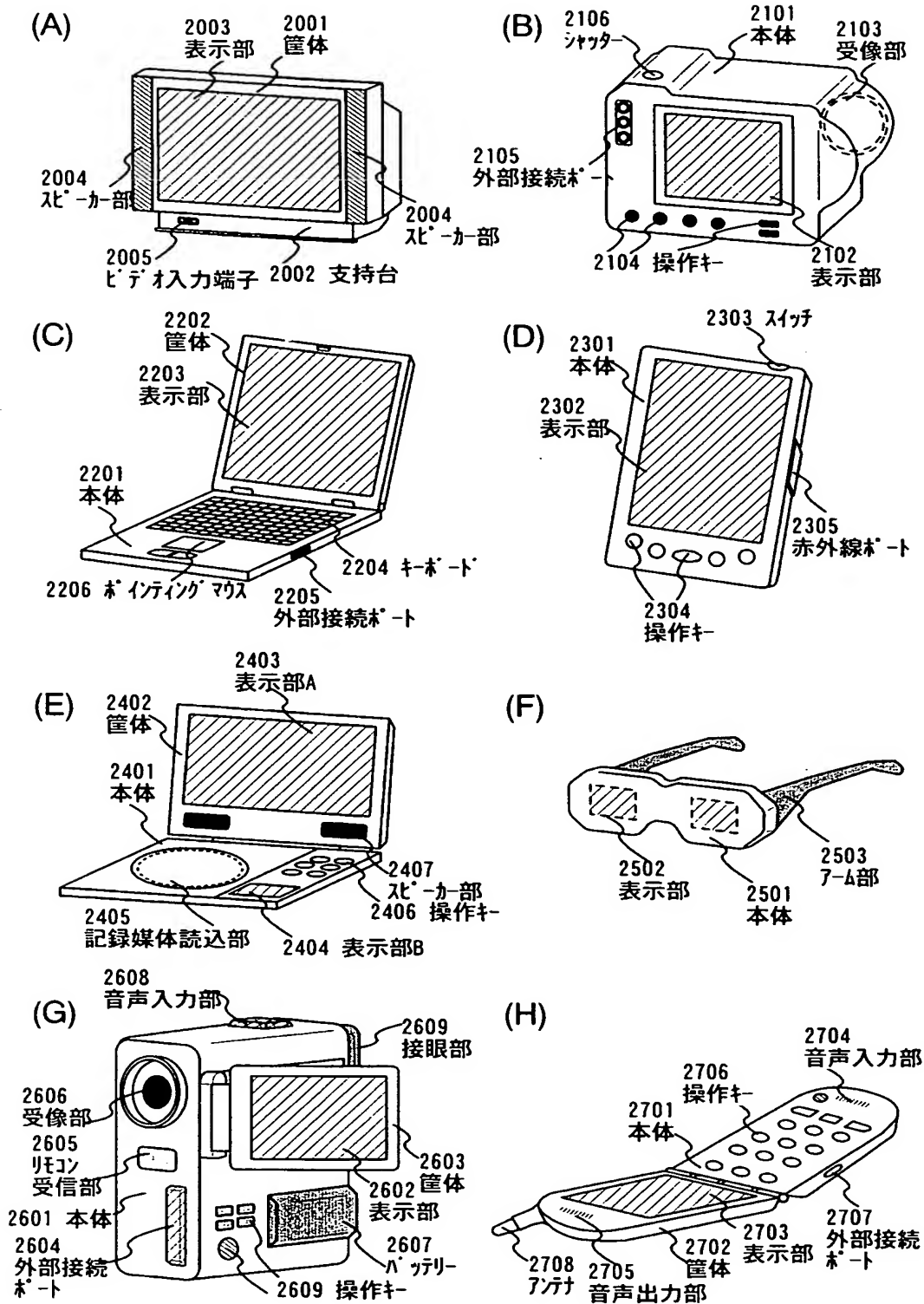
(C)



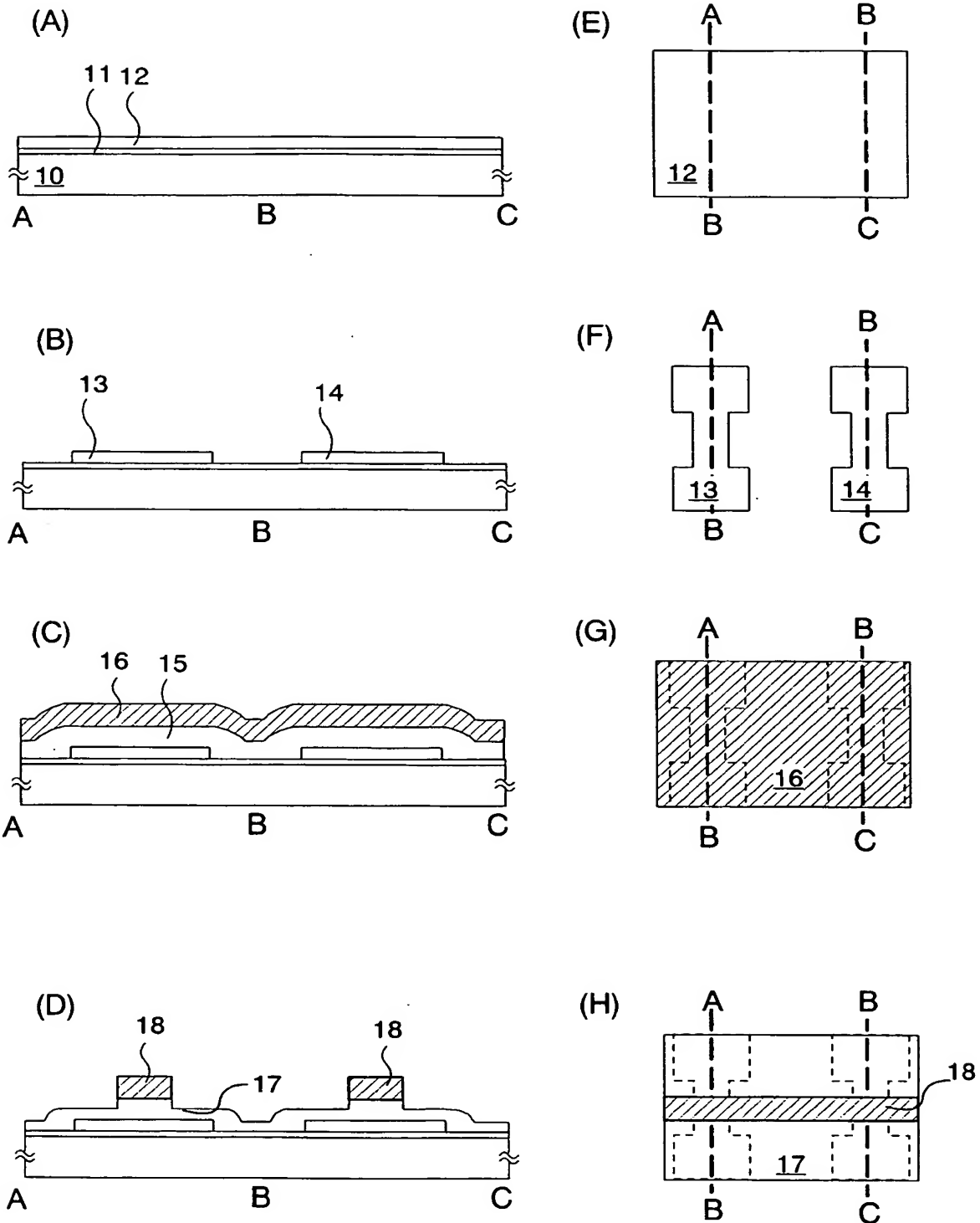
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 本発明は、ガラスの膨張、収縮がパターンニングのアライメントずれの問題を引き起こさずに、界面準位低減、固定電荷低減といったゲート絶縁膜の特性向上を目的とした加熱処理を可能とする薄膜トランジスタの作製方法を提供することを課題とする。

【解決手段】 本発明の薄膜トランジスタの作製方法は、素子分離していない半導体膜の上に少なくともゲート絶縁膜を成膜した状態で加熱処理を行い、ゲート絶縁膜と半導体膜を同時に素子構造に分離し、露出した半導体膜の側面を覆う絶縁膜を形成し、ゲート電極との短絡を防ぐことを特徴としている。また加熱処理後にゲート絶縁膜と半導体膜を同時に素子形状に加工するため、加熱時のガラス基板の膨張、収縮がパターンニングのアライメントずれに影響を及ぼさないことを特徴としている。

【選択図】 図 1



特願 2 0 0 3 - 1 0 8 4 7 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所